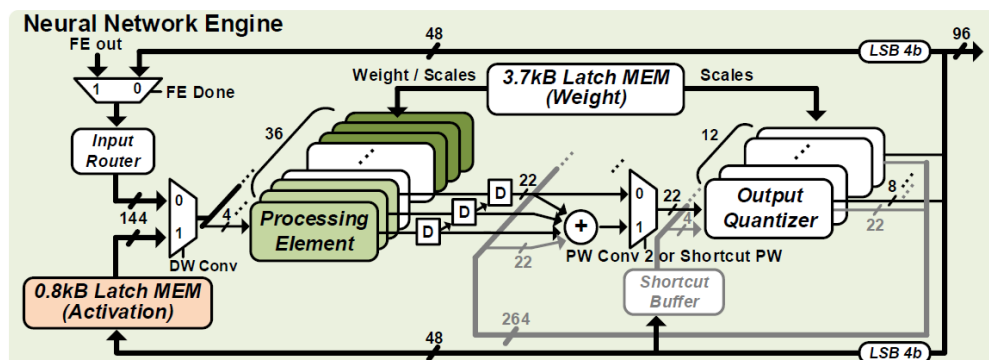


# 2024 IEEE VLSI Review

KAIST 전기및전자공학과 박사과정 신현우

## Session 25 Digital Circuits

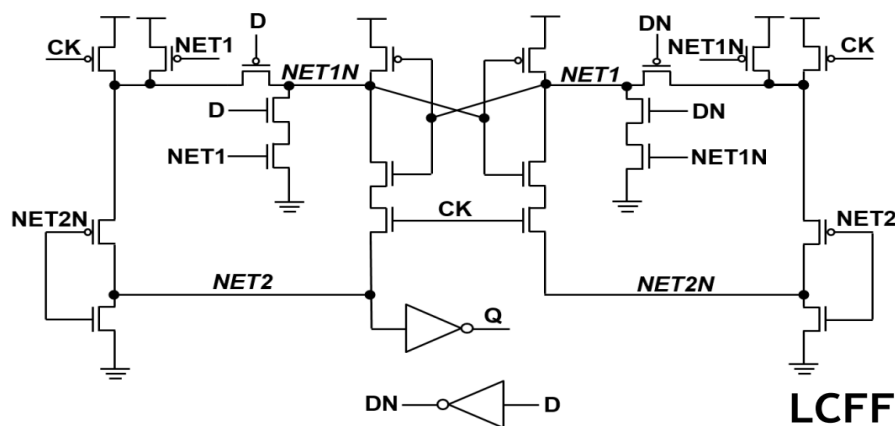
**#25-1** 본 논문에서는 10-keyword end-to-end keyword spotting system(KWS) 음성 인식 시스템을 제안한다. Analog Front End(AFE)에서는 높은 SNR과 최소의 전력소모를 위해서 passive averaging SAR ADC를 활용했다. KWS의 accuracy는 AFE의 linearity보다는 SNR에 의해 결정되기 때문에, CDAC에서 oversampling하면서 ADC는 original frequency로 작동하도록 하여, passive averaging을 통해 SNR을 개선한다. 본설계에서 sampling switch를 처음에 모두 켜 다음, 순차적으로 끄는 방식으로 coupling effect를 감소시키고, 작은 capacitor사용이 가능케 한다. Conventional ADC에 비교해 AFE SNR을 3dB, KWS accuracy는 0.9% 개선했다. Digital Back END(DBE)에서는 AFE에서 생성된 256 sample이 FE로 전달되어서 Mel-Frequency Cepstral Coefficients features를 추출하고, Neural network engine의 memory block에서 처리된다. 이때 IBB를 활용하여 KWS algorithm을 수행한다. 본 논문에서는 1,3,5번째 IBB에서 사용되는 9x1 depthwise convolution layers가 stride-2 커널을 사용하기 때문에, 메모리 요구량이 커진다. 이를 해결하기 위해서 irregular 스케줄링을 통해 입력 frame마다 처리되는 IBB의 수를 가변적으로 조정하여, memory 저장량을 baseline대비 25%감소시켰다. Sign-exponent-only layer fusion에서는 convolution과 FC layer에 FP4, BN layer에 FP6 format을 사용한다. 일반적인 layer fusion에서는 성능 저하를 유발할 수 있지만, 제안된 방법은 sign과 exponent를 BN weight에 결합해 계산 overhead를 줄이면서 accuracy 저하를 최소화한다. scale 조정으로 큰 값을 표현하고, 작은 값들은 반올림 처리했다. 이러한 AFE와 DBE를 통해, end-to-end KWS에서 5.6uW만 소비하고, 다른 10-keywords KWS와 비교해서 높은 정확도를 갖고, 2.9배 낮은 power 소비를 달성했다. KWS가 mobile폰이나 AI비서와 같이 IoT장치를 활용하는데 있어, 이러한 장치들은 항상 켜져 있기 때문에, KWS의 전력소모와, 정확도는 매우 중요하기에, 이와 같은 성과가 효용성이 높다고 생각된다.



**#25-2** 모바일 및 웨어러블 어플리케이션의 성장함에 따라 저전력 동작이 중요한 요구 사항이 되었다. Flip-flop은 ASIC design에서 기초적인 sequential element로, ASIC의 전체 전력의 20% 이상을 차지하고 있다. Flip-flop의 전력 소모를 줄이기 위한 방안은 static operation, contention-free transitions, minimize clock power가 있는데, 이를 위해 이전에 ACFF, TCFF, 26TSPC, REFF 등과 같은 flip-flop의 구조가 제안되었다. 하지만 ACFF와 TCFF 구조는 contention의 문제로 yield issue가 발생하며, 26TSPC와 REFF 구조는 diffusion breaks (DB)로 인한 area penalty를 고려하지 않았다. 따라서 본 논문은 path-sharing과 minimal DBs를 통해 compact area를 가지며, true single-phase clock (TSPC), conditional capture (CC), contention-free (CF) 구조를 통합한 flip-flop을 제안한다.

제안한 low-power conditional capture flip-flop (LCFF) 구조는 기존의 transmission gate를 이용한 flip-flop이 아닌 bubble pushing을 통해 static CMOS flip-flop을 구현하여 하나의 clock phase만 사용하는 TSPC 구조를 달성하였다. 또한, flip-flop 내 master와 slave latch에 존재하는 complementary inputs을 이용한 CC 구조로 저전력으로 동작이 가능하도록 하였다. 마지막으로, contention-free를 위해 같은 polarity를 가진 circuit을 merge하였고, 짝수 drain/source 노드를 연결시킴으로써 DB를 최소화하였다. 제안한 구조는 이러한 path-sharing을 통해 flip-flop의 TR count와 DB를 감소시켰다.

본 논문에서는 TSPC, CC, CF 구조 및 TR과 DB의 사용을 최소화하여 기존에 제안한 flip-flop들과 비교하여 면적과 전력 측면에서 유리하다는 결과를 보여주고 있다. Post-layout simulation 결과에 따르면, 제안한 LCFF 구조는 기존의 FF들보다 7% ~ 24% 면적이 작다. 또한, conventional transmission gate flip-flop (TGFF)와 비교했을 때, 전체 전력과 누설 전력이 평균적으로 각각 63%, 26% 줄었다는 결과를 보여주고 있다. 그리고 Yield test 및 race immunity test를 위해 7nm FinFET Samsung test chip을 이용한 결과, LCFF는 0.33V의 최소 전압에서 정상적으로 동작하였고, path sharing으로 인해 PVT variation에 insensitive한 race immunity를 보여주고 있다.



## 저자정보

---



### 신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
  - 연구분야 : High Speed ADC
  - 이 메 일 : shin6223@kaist.ac.kr
  - 홈페이지 : <https://msicl.kaist.ac.kr>
-